

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-235374
(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 11-037756
(22)Date of filing : 16.02.1999

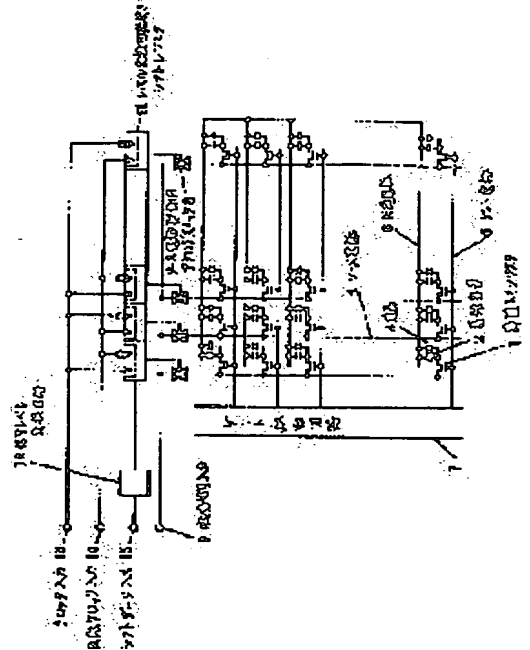
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(72)Inventor : TOMITANI HIROSHI
FURUBAYASHI YOSHINORI
NUMATA YUKIO
MORIMITSU KAZUYA

(54) SHIFT REGISTER, LIQUID CRYSTAL DISPLAY DEVICE USING THE SHIFT REGISTER AND BIAS VOLTAGE GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption of a liquid crystal display device using thin film transistors.

SOLUTION: This shift register used for a liquid crystal display device has a signal level converting circuit 41 to convert input signals having low signal amplitudes into output signals having high signal amplitudes in each stage of the shift register. By this constitution, clock signals having low signal amplitudes of approximately 5 volts and reversed block signals are directly given to the shift register. Thus, a buffer circuit is eliminated, signal amplitudes are made small resulting in the reduction of power consumption and a low power consumption liquid crystal display device is realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-235374

(P2000-235374A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) IntCl. ⁷	識別記号	F I	テマコト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 3		6 2 3 H

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平11-37756

(22) 出願日 平成11年2月16日 (1999.2.16)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 富谷 央

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 古林 好則

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100112128

弁理士 村山 光威

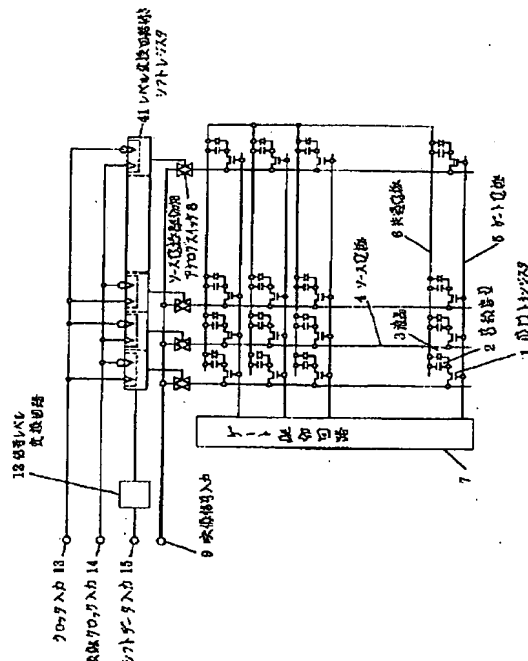
最終頁に続く

(54) 【発明の名称】 シフトレジスタとそのシフトレジスタを用いた液晶表示装置およびバイアス電圧発生回路

(57) 【要約】

【課題】 薄膜トランジスタを用いた液晶表示装置の省電力化を図る。

【解決手段】 液晶表示装置に用いるシフトレジスタは、シフトレジスタの各段に低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路41を有する構成によって、シフトレジスタに5ボルト程度の低信号振幅のクロック信号と反転クロック信号を直接与え、バッファ回路を無くし、信号振幅を小さくすることで消費電力を減らすことが可能になり、液晶表示装置の省電力化を実現する。



【特許請求の範囲】

【請求項1】 薄膜トランジスタを用いた集積回路の各段に低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路を有することを特徴とするシフトレジスタ。

【請求項2】 シフトレジスタの信号レベル変換回路において、入力トランジスタのベースに所定のバイアス電圧を印加し、前記入力トランジスタのソース端子に入力信号を印加することを特徴とする請求項1記載のシフトレジスタ。

【請求項3】 シフトレジスタの信号レベル変換回路において、入力トランジスタのドレインと負荷トランジスタのドレインとの間に所定の制御信号によって回路を開閉するトランジスタを有することを特徴とする請求項1記載のシフトレジスタ。

【請求項4】 シフトレジスタの各段のシフトデータ入力とシフトデータ出力によって、入力トランジスタのドレインと負荷トランジスタのドレインとの間のトランジスタを制御し、回路を開閉することを特徴とする請求項3記載のシフトレジスタ。

【請求項5】 液晶表示画素と薄膜トランジスタにより形成された画素駆動用トランジスタと前記画素駆動用トランジスタのソース線を駆動するソース線駆動回路と前記画素駆動用トランジスタのゲート線を駆動するゲート線駆動回路を有するアクティブマトリクス型液晶表示装置において、前記ソース線駆動回路、または前記ゲート線駆動回路に請求項1記載のシフトレジスタを有することを特徴とする液晶表示装置。

【請求項6】 シフトレジスタに印加するバイアス電圧として、前記バイアス電圧を信号レベル変換回路の入力トランジスタのしきい値電圧と入力信号の振幅の和と同等の電圧とすることを特徴とする請求項2記載のシフトレジスタ。

【請求項7】 シフトレジスタに印加するバイアス電圧として、前記バイアス電圧を信号レベル変換回路の入力トランジスタのしきい値電圧と入力信号の振幅の和以上の電圧とすることを特徴とする請求項3記載のシフトレジスタ。

【請求項8】 請求項2記載のシフトレジスタに印加するバイアス電圧の発生手段として、入力信号のハイレベル電圧を入力する端子を有し、前記入力端子に信号レベル変換回路の入力トランジスタと同等のしきい値電圧を有するトランジスタのソースを接続し、前記トランジスタのゲートとソースに電流源を接続して、前記トランジスタのソースよりバイアス電圧を出力することを特徴とするバイアス電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜トランジスタを用いたシフトレジスタとそのシフトレジスタを用いた液

晶表示装置およびバイアス電圧発生回路に関するものである。

【0002】

【従来技術】 図9は従来の薄膜トランジスタを用いた集積回路により構成した液晶表示装置の一例を示す。図9において、1は液晶表示装置の画素を駆動する薄膜トランジスタ（以下、画素トランジスタと云う）、2は画素の蓄積容量、3は液晶であり、容量性の負荷になる。4は画素トランジスタ1のソース端子に接続するソース電極、5は画素トランジスタ1のゲートに接続するゲート電極、6は蓄積容量2、液晶3の対向電極に接続される共通電極を示している。また、7はゲート電極5を駆動するゲート駆動回路、8はソース電極4に映像信号入力9を印加するためのソース電極駆動用アナログスイッチで、シフトレジスタ10の出力が接続され、シフトレジスタ10はデータを順番にシフトさせ、ソース電極駆動用アナログスイッチ8を順番に走査して、ソース電極4に映像信号入力9を書き込む。シフトレジスタ10とソース電極駆動用アナログスイッチ8はソース駆動回路である。

【0003】 11は薄膜トランジスタからなるC-MOSインバータを多段にしたバッファ回路で、シフトレジスタ10の入力容量が大きいため、信号レベル変換回路12によって高信号振幅にレベル変換されたクロック入力と反転クロック入力をバッファして、シフトレジスタ10に与え、これを駆動する。

【0004】 信号レベル変換回路12は5ボルト程度の低信号振幅のロジック信号であるクロック入力13、反転クロック入力14、シフトデータ入力15を薄膜トランジスタ集積回路で用いる15ボルトの高信号振幅のロジック信号に変換するものである。また、反転クロック入力14は、クロック入力13を反転したものである。さらに、シフトデータ入力15は、シフトレジスタ10を走査するパルスを入力する。なお、シフトデータ入力15は信号レベル変換回路12によって高信号振幅にレベル変換されたシフトデータ入力としてシフトレジスタ10に与えられる。ここで、クロック入力13、反転クロック入力14、シフトデータ入力15は5ボルト程度の振幅をもつロジック信号である。

【0005】 これら薄膜トランジスタは3ボルト程度のしきい値電圧を有し、これら薄膜トランジスタによる集積回路はおよそ15ボルト程度の電源電圧と信号振幅で動作するC-MOS回路になっている。

【0006】 ここで、シフトレジスタ10は図10に示すラッチ回路から構成される。図10において、21、22はアナログスイッチ、23、24、25はインバータであり、薄膜トランジスタを用いた論理回路である。26はデータ入力、27はクロック入力、28は反転クロック入力であり、クロック入力27の論理を反転したものである。29はラッチ出力である。

【0007】次に動作を簡単に説明すると、クロック入力27がハイレベル、反転クロック入力28がローレベルのとき、アナログスイッチ21はオンになり、アナログスイッチ22はオフになり、ラッチ出力29にはデータ入力と同じ論理値が表れる。クロック入力27がハイからローへ、反転クロック入力28がローからハイへ切り替わる時、アナログスイッチ21がオンからオフに変わり、アナログスイッチ22がオフからオンに変わって、ラッチ出力29にはクロックの切り替わる時のデータ入力26の論理値が保持され、出力される。

【0008】図9に示すシフトレジスタ10は図10に示したラッチ回路を多段に接続し、クロック入力と反転クロック入力を各段ごとに逆につないでいる。そして、シフトレジスタ10の先頭のラッチ回路の入力にはシフトするデータ入力26を入力し、ラッチ出力29を次段のラッチ回路の入力に接続して多段接続している。

【0009】図11は、図9に示す信号レベル変換回路12の一例を示し、図11において、31、32は入力トランジスタであり、 $n-ch$ の薄膜トランジスタで構成されおよそ3ボルト程度のしきい値電圧を有する。35は入力端子であり、5ボルト程度の信号振幅の入力信号が入力トランジスタ31のゲートに印加される。36は反転入力端子であり、入力端子35に印加されるロジック信号を論理反転した信号が入力トランジスタ32のゲートに印加される。33、34は負荷トランジスタであり、 $p-ch$ の薄膜トランジスタで構成されおよそ3ボルト程度のしきい値電圧を有する。負荷トランジスタ33、34のドレインは入力トランジスタ31、32のドレインに接続している。負荷トランジスタ33、34のゲートは入力トランジスタ32、33のドレインに接

続されている。

【0010】37は出力端子、38は反転出力端子であり、15ボルト程度の高信号振幅の信号に信号レベル変換された信号出力と反転出力が出力される。

【0011】次に、動作を簡単に説明すると、入力端子35にハイレベルの入力信号が、また、反転入力端子36にローレベルの反転入力信号が各々印加された場合、入力トランジスタ31はオンし、負荷トランジスタ33のドレイン電圧が低下し、負荷トランジスタ34のゲート電圧を下げ、負荷トランジスタ34をオンさせる。このとき、他方の入力トランジスタ32はローレベルの入力信号が与えられているので入力トランジスタ32はオフになり、そのドレイン電圧は上がり、負荷トランジスタ33をオフさせるとともに出力端子37には信号レベル変換回路の電源電圧である15ボルトが、また反転出力端子38にはグランド電圧が出力される。

【0012】入力端子35にローレベルの入力信号が、また反転入力端子36にハイレベルの反転入力信号が各々印加された場合、入力トランジスタ31はオフし、負荷トランジスタ33のドレイン電圧が上がり、負荷トラン

ンジスタ34のゲート電圧を上げて、負荷トランジスタ34をオフさせる。このとき、他方の入力トランジスタ32はハイレベルの入力信号が与えられているので入力トランジスタ32はオンになり、そのドレイン電圧は下がり、負荷トランジスタ33をオンさせるとともに出力端子37には信号レベル変換回路12のグランド電圧が、また反転出力端子38には電源電圧である15ボルトがそれぞれ出力される。

【0013】このようにして信号レベル変換回路12は5ボルト程度の低信号振幅の入力信号を15ボルト程度の高信号振幅の信号に変換する。

【0014】従来例の液晶表示装置のシフトレジスタ10の入力信号、出力信号波形を図8に示す。図8において、CPは入力クロック信号、 $\neg CP$ は反転入力クロック信号、STHはシフトデータ入力信号を示す。Q1からQ6はシフトレジスタの各段の出力信号であるとともにアナログスイッチ21、22の制御信号である。シフトレジスタ10は最初の段を1段目とすると、1段目のラッチはクロック信号CPの立ち下がりでシフトデータを取り込み、2段目のラッチはクロック信号CPの立ち上がりで1段目の出力を取り込む。3段目のラッチはクロック信号CPの立ち下がりで2段目の出力を取り込む。このように奇数段目のラッチはクロック信号CPの立ち下がりでデータを取り込み、偶数段目のラッチはクロック信号CPの立ち上がりでデータを取り込む。また、 n 段目のラッチは $n-1$ 段目のラッチの出力を取り込むように動作する。

【0015】クロック信号CPの立ち下がりでシフトデータ入力信号STHのハイレベルが取り込まれ、クロックの変化にともなう、順にデータがシフトされていく。

【0016】

【発明が解決しようとする課題】しかしながら、従来技術である図9の液晶表示装置では、入力クロック信号と反転入力クロック信号をバッファ回路11を使って電流駆動能力をあげてシフトレジスタ10に供給している。このバッファ回路11の電源電圧は15ボルト程度と高く、また、動作周波数も数メガヘルツから数十メガヘルツ程度と高速であるので消費電力が多く、液晶表示装置の省電力化に対して課題となっていた。

【0017】本発明はこれまで述べたような課題に対して、消費電力を減らした回路構成のシフトレジスタを用いることで液晶表示装置の省電力化を図ることを目的とする。

【0018】

【課題を解決するための手段】本発明の液晶表示装置に用いるシフトレジスタは、シフトレジスタの各段に低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路を有することを特徴とする。

【0019】この構成によって、シフトレジスタに5ボ

ルト程度の低信号振幅のクロック信号と反転クロック信号を直接与えることによって、従来、必要とされていたバッファ回路11を無くし、信号振幅を5ボルト程度に小さくすることで消費電力を減らすことが可能になり、このシフトレジスタを用いることによって液晶表示装置の省電力化を実現する。

【0020】

【発明の実施の形態】請求項1記載の発明は、薄膜トランジスタを用いた集積回路の各段に低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路を有することを特徴とする。

【0021】この構成によれば、シフトレジスタに5ボルト程度の低信号振幅のクロック信号と反転クロック信号を直接与えることによって、バッファ回路を無くし、信号振幅を5ボルト程度に小さくすることで消費電力を減らす作用を有する。

【0022】請求項2記載の発明は、請求項1記載のシフトレジスタの信号レベル変換回路において、入力トランジスタのベースに所定のバイアス電圧を印加し、前記入力トランジスタのソース端子に入力信号を印加すること

を特徴とする。

【0023】この構成によれば、入力トランジスタのしきい値電圧が大きくても、入力信号にバイアス電圧を加えることによって、入力トランジスタのオン電流を大きくとることができ、回路を高速化できるという作用を有する。また、バイアス電圧を加えることによって入力信号の振幅が低い場合においても、オン・オフ電流の比を最大にすることができ、回路を高速化できるという作用を有する。

【0024】請求項3記載の発明は、請求項1記載のシフトレジスタの信号レベル変換回路において、入力トランジスタのドレインと負荷トランジスタのドレインとの間に所定の制御信号によって回路を開閉するトランジスタを有することを特徴とする。

【0025】この構成によれば、制御信号によって、信号レベル変換回路を動作させたいときにはトランジスタを閉じて信号レベル変換回路を動作させ、動作を停止させたいときにはトランジスタを開いて信号レベル変換回路の動作を停止させ、信号レベル変換回路の回路電流を減らすことができ、回路の省電力化を実現するという作用を有する。

【0026】請求項4記載の発明は請求項3記載のシフトレジスタにおいて、当該シフトレジスタの各段のシフトデータ入力とシフトデータ出力によって、入力トランジスタのドレインと負荷トランジスタのドレインとの間のトランジスタを制御し、回路を開閉することを特徴とする。

【0027】この構成によれば、シフトしようとするシフトデータの無い時には信号レベル変換回路を開いて回路電流を減らし、シフトデータが前段に入力された

き、信号レベル変換回路を閉じて、動作させるようにし、シフトデータがなくなると、再び信号レベル変換回路を開いて回路電流を減らすことによって、回路の省電力化を実現するという作用を有する。

【0028】請求項5記載の発明は液晶表示画素と薄膜トランジスタにより形成された画素駆動用トランジスタと前記画素駆動用トランジスタのソース線を駆動するソース線駆動回路と前記画素駆動用トランジスタのゲート線を駆動するゲート線駆動回路を有するアクティブマトリクス型液晶表示装置において、前記ソース線駆動回路、または前記ゲート線駆動回路に請求項1記載のシフトレジスタを有することを特徴とする。

【0029】この構成によれば、低消費電力のシフトレジスタを用いて、低消費電力の液晶表示装置を実現するという作用を有する。

【0030】請求項6記載の発明は請求項2記載のシフトレジスタに印加するバイアス電圧として、前記バイアス電圧を信号レベル変換回路の入力トランジスタのしきい値電圧と入力信号の振幅の和と同等の電圧とすることを特徴とする。

【0031】この構成によれば入力信号を入力トランジスタのしきい値電圧でバイアスし、入力トランジスタのオフ電流を小さくしながらオン電流を大きくとって、オン・オフ電流の比を最大にするように最適化して回路の高速化を実現する作用を有する。また、バイアス電圧を加えることによって入力信号の振幅が低い場合においても、オン・オフ電流の比を最大にすることができ、回路を高速化できるという作用を有する。

【0032】請求項7記載の発明は請求項3記載のシフトレジスタに印加するバイアス電圧として、前記バイアス電圧を信号レベル変換回路の入力トランジスタのしきい値電圧と入力信号の振幅の和以上の電圧とすることを特徴とする。

【0033】この構成によれば入力信号のオン電流を大きくとって回路の高速化を実現することができる。また、オフ電流の増加に関してはトランジスタによって信号レベル変換回路の回路をシフトデータの無い場合には回路を開いて、低消費電力化を実現する作用を有する。また、バイアス電圧をしきい値電圧より大きめに与えることで、入力信号の振幅が低い場合においても、十分なオン電流を確保し、かつオフ電流の増加に関してはトランジスタによって信号レベル変換回路の回路をシフトデータの無い場合には回路を開いて、回路の高速化と低消費電力化を実現する作用を有する。

【0034】請求項8記載の発明は請求項2記載のシフトレジスタに印加するバイアス電圧の発生手段として、入力信号のハイレベル電圧を入力する端子を有し、前記入力端子に信号レベル変換回路の入力トランジスタと同等のしきい値電圧を有するトランジスタのソースを接続し、前記トランジスタのゲートとソースに電流源を接続

して、前記トランジスタのソースよりバイアス電圧を出力することを特徴とする。

【0035】この構成によれば薄膜トランジスタ集積回路のなかで同一の製造プロセスで簡単にバイアス電圧発生回路を実現することができ、かつ、入力トランジスタのしきい値電圧に応じた最適化したバイアス電圧を発生できる作用を有する。

【0036】以下、本発明の各実施の形態を説明する。

【0037】(実施の形態1) 図1、図2、図6(a) および図8を用いて本発明の実施の形態1について説明する。

【0038】図1は本発明の実施の形態1における液晶表示装置の構成図を示す。図1において従来例を示す図9と同じ部分には同じ符号を付けてその説明を省略する。

【0039】41はレベル変換回路付きシフトレジスタであり、その出力端子がソース電極駆動用アナログスイッチ8へ接続される。このレベル変換回路付きシフトレジスタ41はデータを順番にシフトさせ、ソース電極駆動用アナログスイッチ8を順番に走査して、ソース電極4に映像信号入力9を書き込む。レベル変換回路付きシフトレジスタ41とソース電極駆動用アナログスイッチ8はソース駆動回路を構成する。

【0040】これら薄膜トランジスタは従来例と同様に3ボルト程度のしきい値電圧を有し、これら薄膜トランジスタによる集積回路はおよそ15ボルト程度の電源電圧と信号振幅で動作するC-MOS回路になっている。

【0041】また、シフトデータ入力15は5ボルト程度の振幅をもつロジック信号であり、信号レベル変換回路12で5ボルト程度の低信号振幅のロジック信号となし、シフトデータ入力15を薄膜トランジスタ集積回路で用いる15ボルトの高信号振幅のロジック信号に変換してレベル変換回路付きシフトレジスタ41の1段目のラッチのデータ入力に接続する。

【0042】レベル変換回路付きシフトレジスタ41は図2に示すようなレベルシフト付きのラッチ回路が多段に接続されてシフトレジスタのラッチ回路を構成している。

【0043】図2において、58は図11に示した従来例と同じ信号レベル変換回路、59は図10に示した従来例と同じラッチ回路であり、両回路とも従来例と同様の動作を示すものである。

【0044】図2において、51はクロック入力5ボルト程度の低振幅のクロック信号が入力される。52はクロック入力51を論理反転した、同じく5ボルト程度の低振幅の反転クロック入力である。クロック入力51、反転クロック入力52は信号レベル変換回路58によって薄膜トランジスタの集積回路の電源電圧である15ボルト程度の高信号振幅の信号に変換され、インバータ50aを接続してレベル変換した反転クロック入力5

6、さらにもう一段、インバータ50bを接続してレベル変換したクロック入力54を発生し、これを先のラッチ回路59のクロック入力と反転クロック入力とする。

【0045】55は15ボルト程度の高信号振幅のデータ入力、57はラッチ回路59のラッチ出力であり、データ入力55がクロック信号で取り込まれて出力される。ラッチ出力57の信号振幅は電源電圧である15ボルト程度が出力される。

【0046】レベル変換回路付きシフトレジスタ41は図2に示したラッチ回路を多段に接続し、クロック入力と反転クロック入力を各段ごとに逆に接続されている。

【0047】レベル変換回路付きシフトレジスタ41の先頭のラッチ回路の入力にはシフトするデータを入力し、ラッチ回路の出力を次段のラッチ回路の入力に接続して多段接続している。

【0048】図6(a)は従来例と本発明の実施の形態1における信号レベル変換回路のトランジスタのしきい値特性と動作点を示す図である。

【0049】図6(a)では入力信号がローレベルのときに、入力トランジスタがオフし、ドレイン電流が流れず、入力信号がハイレベルのときに、入力トランジスタのしきい値 V_{tn} を超えると、入力トランジスタがオンし、ドレイン電流が流れる様子を示している。

【0050】次に、図1の動作を図8の波形図を用いて説明すると、レベル変換回路付きシフトレジスタ41は最初の段を1段目とすると、1段目のラッチは入力クロック信号CPの立ち下がりでシフトデータを取り込み、2段目のラッチは入力クロック信号CPの立ち上がりで1段目の出力を取り込む。3段目のラッチは入力クロック信号CPの立ち下がりで2段目の出力を取り込む。このように奇数段目のラッチは入力クロック信号CPの立ち下がりでデータを取り込み、偶数段目のラッチは入力クロック信号CPの立ち上がりでデータを取り込む。また、n段目のラッチはn-1段目のラッチの出力を取り込むように動作する。

【0051】入力クロック信号CPの立ち下がりでシフトデータ入力信号STHのハイレベルが取り込まれ、クロックの変化にともなう、順にデータがシフトされていく。

【0052】以上のようにして本発明の液晶表示装置に用いるシフトレジスタは、シフトレジスタの各段に低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路を有することによって、シフトレジスタに5ボルト程度の低信号振幅の入力クロック信号と反転入力クロック信号を直接与えることによって、バッファ回路を無くし、信号振幅を5ボルト程度に小さくすることで消費電力を減らすことが可能になり、このシフトレジスタを用いることによって液晶表示装置の省電力化を実現する。

【0053】(実施の形態2) 図1、図3、図6(b)

および図 8 を用いて本発明の実施の形態 2 について説明する。

【0054】図 1 は本発明の実施の形態 2 における液晶表示装置の構成図を示す。この液晶表示装置の構成は本発明の実施の形態 1 と同じである。

【0055】本発明の実施の形態 2 と本発明の実施の形態 1 は図 1 のレベル変換回路付きシフトレジスタ 41 の各段におけるレベル変換回路付きのラッチ回路の構成が異なる。

【0056】図 3 は本発明の実施の形態 2 における液晶表示装置のシフトレジスタのラッチ回路の構成図であり、実施の形態 1 (図 2) と同じ部分には同じ符号を付けてその説明を省略する。図 3 において、68 は信号レベル変換回路、62 と 63 は信号レベル変換回路を構成する入力トランジスタであり、 $n - ch$ の薄膜トランジスタであり、およそ 3 ボルト程度のしきい値電圧を有する。

【0057】なお、クロック入力 51 には 5 ボルト程度の信号振幅の入力信号が入力トランジスタ 62 のソースに印加される。また、反転クロック入力 52 にはクロック入力 51 に印加されるロジック信号を論理反転した信号が入力トランジスタ 63 のソースに印加される。入力トランジスタ 62、63 のベースは直流のバイアス電圧 61 が印加されている。

【0058】また、信号レベル変換回路 68 によって薄膜トランジスタの集積回路の電源電圧である 15 ボルト程度の高信号振幅の信号に変換され、レベル変換したクロック入力 54 を発生し、インバータ 50c を接続してレベル変換した反転クロック入力 56 を発生し、これを先のラッチ回路 59 のクロック入力と反転クロック入力とする構成となっている。

【0059】次に、動作を説明すると、クロック入力 51 にハイレベルの入力信号、反転クロック入力 52 にローレベルの反転入力信号が各々印加された場合、入力トランジスタ 62 はオフし、そのドレイン電圧が上がり、他方の負荷トランジスタ 34 のゲート電圧を上げて、他方の負荷トランジスタ 34 をオフさせる。このとき、他方の入力トランジスタ 63 はローレベルの入力信号が与えられているので入力トランジスタ 63 はオンになり、そのドレイン電圧は上がり、レベル変換したクロック入力 54 には信号レベル変換回路 68 のグランド電圧が出力される。

【0060】クロック入力 51 にローレベルの入力信号、反転クロック入力 52 にハイレベルの反転入力信号が各々印加された場合、入力トランジスタ 62 はオンし、そのドレイン電圧が下がり、他方の負荷トランジスタ 33 のゲート電圧を下げて、他方の負荷トランジスタ 33 をオンさせる。このとき、他方の入力トランジスタ 63 はハイレベルの入力信号が与えられているので入力トランジスタ 63 はオフになり、そのドレイン電圧は上

がり、レベル変換したクロック入力 54 には信号レベル変換回路 64 の電源電圧である 15 ボルト程度の電圧が出力される。

【0061】このようにして図 3 の信号レベル変換回路 68 は 5 ボルト程度の低信号振幅の入力信号を 15 ボルト程度の高信号振幅の信号に変換する。

【0062】図 6 (b) は本発明の実施の形態 2 における信号レベル変換回路のトランジスタのしきい値特性と動作点を示す図である。

【0063】本発明の実施の形態 2 では図 3 に示すように、入力トランジスタ 62、63 のゲートに直流のバイアス電圧 61 を与えている。バイアス電圧の値を入力トランジスタのしきい値電圧 V_{tn} と入力信号振幅 V_{in} の和と同等の値にすることにより、図 6 (b) では入力信号がローレベルのときには入力トランジスタのゲートにはしきい値電圧 V_{tn} と入力信号振幅 V_{in} の和の電圧が加わり、入力トランジスタがオンし、ドレイン電流を流す。入力信号がハイレベルのときには入力トランジスタのゲートには入力トランジスタのしきい値電圧 V_{tn} が加わり、入力トランジスタはオフし、ドレイン電流は流れない。

【0064】以上のように、バイアス電圧の値を入力トランジスタのしきい値電圧 V_{tn} と入力信号振幅 V_{in} の和と同等の値にすることにより、オン電流の値を大きくして回路を高速化するとともに、オフ電流を小さくして、オン・オフ電流の比を大きくして、回路を最適化することができる。

【0065】また、入力信号の振幅が小さい場合においても、バイアス電圧を与えることでオン電流を大きくし、オン・オフ電流の比を大きくすることができ、回路の高速化が可能となる。

【0066】以上の構成を有する本実施の形態 2 における、液晶表示装置のレベル変換回路付きシフトレジスタ 41 の入力信号、出力信号波形は図 8 と同じになる。レベル変換回路付きシフトレジスタ 41 は最初の段を 1 段目とすると、1 段目のラッチは入力クロック信号 CP の立ち下がりでシフトデータを取り込み、2 段目のラッチは入力クロック信号 CP の立ち上がりで 1 段目の出力を取り込む。3 段目のラッチは入力クロック信号 CP の立ち下がりで 2 段目の出力を取り込む。このように奇数段目のラッチは入力クロック信号 CP の立ち下がりでデータを取り込み、偶数段目のラッチは入力クロック信号 CP の立ち上がりでデータを取り込む。また、 n 段目のラッチは $n - 1$ 段目のラッチの出力を取り込むように動作する。

【0067】入力クロック信号 CP の立ち下がりでシフトデータ入力信号 STH のハイレベルが取り込まれ、クロックの変化に伴って、順にデータがシフトされていく。

【0068】以上のようにして本発明の液晶表示装置に

用いるシフトレジスタは、レベル変換回路付きのシフトレジスタであって、シフトレジスタの信号レベル変換回路において、入力トランジスタのベースに所定のバイアス電圧を印加し、前記入力トランジスタのソース端子に入力信号を印加する構成とし、入力トランジスタのしきい値電圧が大きくても、また、入力信号の信号振幅が低い場合においても入力信号にバイアス電圧を加えることによって、入力トランジスタのオン電流を大きくとることができ、回路を高速化することができた。

【0069】（実施の形態3）図1、図4、図6（a）および図8を用いて本発明の実施の形態3について説明する。

【0070】図1は本発明の実施の形態3における液晶表示装置の構成図を示す。この液晶表示装置の構成は本発明の実施の形態1と同じである。

【0071】本発明の実施の形態3と本発明の実施の形態1は図1のレベル変換回路付きシフトレジスタ41の各段におけるレベル変換回路付きのラッチ回路の構成が異なる。

【0072】図4は本発明の実施の形態3における液晶表示装置のシフトレジスタのラッチ回路の構成図であり、前記実施の形態1（図2）、実施の形態2（図3）と同じ部分には同じ符号を付けてその説明を省略する。図4において、信号レベル変換回路78は従来例の図11の信号レベル変換回路12の入力トランジスタ31、32と負荷トランジスタ33、34の間に所定の制御信号によって回路を開閉するn-chスイッチトランジスタ71、72を設けたものである。このn-chのスイッチトランジスタ71、72のゲートにハイレベルである15ボルト程度の電圧を与えることでスイッチトランジスタ71、72はオンし、回路が閉じ、信号レベル変換回路78は動作が可能になる。また、スイッチトランジスタ71、72のゲートがローレベルであるグラウンドの電圧が印加されると、スイッチトランジスタ71、72はオフし、回路が開き、信号レベル変換回路は回路電流を減らすことができ、低消費電力状態で停止する。

【0073】以上のように、この構成によって、所定の制御信号によって、信号レベル変換回路を動作させたいときにはトランジスタを閉じて信号レベル変換回路を動作させ、動作を停止させたいときにはトランジスタを開いて信号レベル変換回路の動作を停止させ、信号レベル変換回路の回路電流を減らすことができ、回路の省電力化を実現することができる。

【0074】また、図4において、クロック入力51には5ボルト程度の低振幅のクロック信号が入力される。このクロック入力51を論理反転した、同じく5ボルト程度の低振幅の反転クロック入力52が入力される。クロック入力51、反転クロック入力52は信号レベル変換回路78によって薄膜トランジスタの集積回路の電源電圧である15ボルト程度の高信号振幅の信号に変換さ

れ、インバータ50aを接続してレベル変換した反転クロック入力56、更にもう一段インバータ50bを接続してレベル変換したクロック入力54を発生し、これを先のラッチ回路59のクロック入力と反転クロック入力に接続する。

【0075】図4のレベル変換回路付きのラッチ回路ではデータ入力55とラッチ出力57の論理和をOR60でとり信号レベル変換回路78の回路を開閉するスイッチトランジスタ71、72の制御信号として、信号レベル変換回路78に与えている。

【0076】この構成によって、入力データまたはラッチ出力がハイレベルのときに信号レベル変換回路が動作し、それ以外の場合には信号レベル変換回路は停止するようになっている。

【0077】レベル変換回路付きシフトレジスタ41は図4に示したラッチ回路を多段に接続し、クロック入力と反転クロック入力を各段ごとに逆に接続されている。

【0078】レベル変換回路付きシフトレジスタ41の先頭のラッチ回路の入力にはシフトするデータを入力し、ラッチ回路の出力を次段のラッチ回路の入力に接続して多段接続している。

【0079】レベル変換回路付きのシフトレジスタ41はシフトするデータがない時には信号レベル変換回路を開いて回路電流を減らし、シフトデータが前段にきたとき、信号レベル変換回路を閉じて、動作させるようにし、シフトデータがなくなると、再び信号レベル変換回路を開いて回路電流を減らすことによって、回路の省電力化を実現することができる。

【0080】図6（a）は本発明の実施の形態3の信号レベル変換回路のトランジスタのしきい値特性と動作点を示す図である。従来例、本発明の実施の形態1と同様に本発明の実施の形態3の信号レベル変換回路のしきい値特性と動作点は同じである。

【0081】従来例と同様に本発明の実施の形態3における液晶表示装置のレベル変換回路付きシフトレジスタ41の入力信号、出力信号波形は図8と同じになる。

【0082】次に動作を説明するとレベル変換回路付きシフトレジスタ41は最初の段を1段目とすると、1段目のラッチは入力クロック信号CPの立ち下がりでシフトデータを取り込み、2段目のラッチは入力クロック信号CPの立ち上がりで1段目の出力を取り込む。3段目のラッチは入力クロック信号CPの立ち下がりで2段目の出力を取り込む。このように奇数段目のラッチは入力クロック信号CPの立ち下がりでデータを取り込み、偶数段目のラッチは入力クロック信号CPの立ち上がりでデータを取り込む。また、n段目のラッチはn-1段目のラッチの出力を取り込むように動作する。

【0083】入力クロック信号CPの立ち下がりでシフトデータ入力信号STHのハイレベルが取り込まれ、クロックの変化にともなって、順にデータがシフトされて

10

20

30

40

50

いく。

【0084】以上のようにして本発明の液晶表示装置に用いるシフトレジスタは、信号レベル変換回路付きのシフトレジスタであって、信号レベル変換回路の入力トランジスタのドレインと負荷トランジスタのドレインとの間に所定の制御信号によって回路を開閉するトランジスタを有する構成とすることで、制御信号によって、信号レベル変換回路を動作させたいときにはトランジスタを閉じて信号レベル変換回路を動作させ、動作を停止させたいときにはトランジスタを開いて信号レベル変換回路の動作を停止させ、信号レベル変換回路の回路電流を減らすことができ、回路の省電力化を実現することができた。

【0085】加えて、シフトレジスタの各段のシフトデータ入力とシフトデータ出力によって、入力トランジスタのドレインと負荷トランジスタのドレインとの間のトランジスタを制御し、回路を開閉する構成とすることで、シフトしようとするシフトデータない時には信号レベル変換回路を開いて回路電流を減らし、シフトデータが前段にきたとき、信号レベル変換回路を閉じて、動作させるようにし、シフトデータがなくなると、再び信号レベル変換回路を開いて回路電流を減らすことによって、回路の省電力化を実現することができた。

【0086】（実施の形態4）図1、図5、図6（b）および図8を用いて本発明の実施の形態4について説明する。

【0087】図1は本発明の実施の形態4における液晶表示装置の構成図を示す。この液晶表示装置の構成は本発明の実施の形態1と同じである。

【0088】本発明の実施の形態4と本発明の実施の形態3は図1のレベル変換回路付きシフトレジスタ41の各段におけるレベル変換回路付きのラッチ回路の構成が異なる。

【0089】図5は本発明の実施の形態4における液晶表示装置のシフトレジスタのラッチ回路の構成図であり、前記実施の形態1ないし実施の形態3（図2ないし図4）と同じ部分には同じ符号を付して、その説明を省略する。

【0090】図5の信号レベル変換回路88は本発明の実施の形態2で用いた信号レベル変換回路（図3）の入力トランジスタ62、63と負荷トランジスタ33、34の間に所定の制御信号によって回路を開閉するn-c hスイッチトランジスタ81、82を設けたものである。このn-c hのスイッチトランジスタ81、82のゲートにハイレベルである15ボルト程度の電圧を与えることでスイッチトランジスタ81、82はオンし、回路が閉じ、信号レベル変換回路88は動作が可能になる。また、スイッチトランジスタ81、82のゲートがローレベルであるグラウンドの電圧が印加されると、スイッチトランジスタ81、82はオフし、回路が開き、信

号レベル変換回路は回路電流を減らすことができ、低消費電力状態で停止する。

【0091】以上のように、この構成によって、本発明の実施の形態3と同様に、所定の制御信号によって、信号レベル変換回路を動作させたいときにはトランジスタを閉じて信号レベル変換回路を動作させ、動作を停止させたいときにはトランジスタを開いて信号レベル変換回路の動作を停止させ、信号レベル変換回路の回路電流を減らすことができ、回路の省電力化を実現することができた。

【0092】図5はクロック入力51には5ボルト程度の低振幅のクロック信号が入力される。このクロック入力51を論理反転した、同じく5ボルト程度の低振幅の反転クロック入力52が入力される。クロック入力51、反転クロック入力52は信号レベル変換回路88によって薄膜トランジスタの集積回路の電源電圧である15ボルト程度の高信号振幅の信号に変換され、レベル変換したクロック入力54を発生し、インバータ50dを接続してレベル変換した反転クロック入力56を発生し、これを先のラッチ回路59のクロック入力と反転クロック入力に接続する。

【0093】15ボルト程度の高信号振幅のデータ入力55がクロック信号でラッチ回路59に取り込まれてラッチ出力57される。このラッチ出力57の信号振幅は電源電圧である15ボルト程度が出力される。

【0094】図5のレベル変換回路付きのラッチ回路ではデータ入力55とラッチ出力57の論理和をOR60でとり信号レベル変換回路88の回路を開閉するスイッチトランジスタ81、82の制御信号として、信号レベル変換回路88に与えている。

【0095】この構成によって、入力データまたはラッチ出力がハイレベルのときに信号レベル変換回路が動作し、それ以外の場合には信号レベル変換回路は停止するようになっている。

【0096】レベル変換回路付きシフトレジスタ41は図5に示したラッチ回路を多段に接続し、クロック入力と反転クロック入力を各段ごとに逆に接続している。

【0097】レベル変換回路付きシフトレジスタ41の先頭のラッチ回路の入力にはシフトするデータを入力し、ラッチ回路の出力を次段のラッチ回路の入力に接続して多段接続している。

【0098】レベル変換回路付きのシフトレジスタ41はシフトするデータがない時には信号レベル変換回路を開いて回路電流を減らし、シフトデータが前段にきたとき、信号レベル変換回路を閉じて、動作させるようにし、シフトデータがなくなると、再び信号レベル変換回路を開いて回路電流を減らすことによって、回路の省電力化を実現することができる。

【0099】図6（b）は本発明の実施の形態4のレベル変換回路のトランジスタのしきい値特性と動作点を示

す図である。従来例、本発明の実施の形態2と同様に本発明の実施の形態4のレベル変換回路のしきい値と特性と動作点は同じく、バイアス電圧を印加することによって、動作点をずらし、入力トランジスタのしきい値電圧が高い場合や、入力信号の振幅が小さい場合においても、入力トランジスタのオン電流を大きくすることで回路の高速化を実現することができる。

【0100】信号レベル変換回路12は従来例と同様に図11のような回路を用いる。

【0101】従来例と同様に本発明の液晶表示装置のレベル変換回路付きシフトレジスタ41の入力信号、出力信号波形は図8と同じになる。

【0102】レベル変換回路付きシフトレジスタ41は最初の段を1段目とすると、1段目のラッチは入力クロック信号CPの立ち下がりでシフトデータを取り込み、2段目のラッチは入力クロック信号CPの立ち上がりで1段目の出力を取り込む。3段目のラッチは入力クロック信号CPの立ち下がりで2段目の出力を取り込む。このように奇数段目のラッチは入力クロック信号CPの立ち下がりでデータを取り込み、偶数段目のラッチは入力クロック信号CPの立ち上がりでデータを取り込む。また、n段目のラッチはn-1段目のラッチの出力を取り込むように動作する。

【0103】入力クロック信号CPの立ち下がりでシフトデータ入力信号STHのハイレベルが取り込まれ、クロックの変化にともなう、順にデータがシフトされていく。

【0104】以上のようにして本発明の液晶表示装置に用いるシフトレジスタは、信号レベル変換回路付きのシフトレジスタであって、信号レベル変換回路の入力トランジスタのドレインと負荷トランジスタのドレインとの間に所定の制御信号によって回路を開閉するトランジスタを有する構成とすることで、制御信号によって、信号レベル変換回路を動作させたいときにはトランジスタを閉じて信号レベル変換回路を動作させ、動作を停止させたいときにはトランジスタを開いて信号レベル変換回路の動作を停止させ、信号レベル変換回路の回路電流を減らすことができ、回路の省電力化を実現することができる。

【0105】加えて、シフトレジスタの各段のシフトデータ入力とシフトデータ出力によって、入力トランジスタのドレインと負荷トランジスタのドレインとの間のトランジスタを制御し、回路を開閉する構成とすることで、シフトしようとするシフトデータない時には信号レベル変換回路を開いて回路電流を減らし、シフトデータが前段にきたとき、信号レベル変換回路を閉じて、動作させるようにし、シフトデータがなくなると、再び信号レベル変換回路を開いて回路電流を減らすことによって、回路の省電力化を実現することができる。

【0106】また、本発明の実施の形態4ではシフトす

るデータがある場合のみ、信号レベル変換回路が動作しているため、この信号レベル変換回路に印加するバイアス電圧の値を入力トランジスタのしきい値電圧と入力信号の振幅の和よりも大きな電圧値に設定した場合においては、入力トランジスタのオフ電流の増加により、回路の消費電力の増加が懸念されるが、本発明の実施の形態4では多段のシフトレジスタのうち、シフトデータのある一部のみの段だけが動作状態で、残りの段は停止状態にあるため、全体では消費電力を増加させることなく、バイアス電圧を入力トランジスタのしきい値電圧と入力信号の振幅の和よりも大きな電圧値に設定することができる。回路の高速化と低消費電力化を同時に実現することができる。

【0107】（実施の形態5）図7を用いて本発明の実施の形態5について説明する。

【0108】図7は本発明の実施の形態2と実施の形態4に使用するレベル変換回路付きシフトレジスタのレベル変換回路のバイアス電圧発生回路の構成を示す。

【0109】101は入力端子で、入力信号のハイレベル電圧に相当する直流電圧を入力する。102は出力端子で、入力信号のハイレベル電圧に信号レベル変換回路の入力トランジスタのしきい値を加えた直流電圧が得られる。103はしきい値検出用トランジスタで、信号レベル変換回路の入力トランジスタと同じプロセスによって製造された、入力トランジスタと同等のしきい値電圧を有するn-chのトランジスタで、ゲートとドレインを接続して、ソースドレイン間にしきい値電圧を発生させる。104は電流源であり、薄膜トランジスタを製造するプロセスにおいて作られるトランジスタや抵抗を用いて作る。

【0110】出力端子102を本発明の実施の形態2と実施の形態4のレベル変換回路付きシフトレジスタのバイアス電圧61に用いることで本発明の液晶表示装置を容易に実現できる。

【0111】また、製造ロットごとにはばらつく、入力トランジスタのしきい値電圧を検出して、これに応じた最適化したバイアス電圧を発生することができる。

【0112】

【発明の効果】以上説明したように本発明の液晶表示装置に用いるシフトレジスタの各段に低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路を有するように構成することで、シフトレジスタに5ボルト程度の低信号振幅のクロック信号と反転クロック信号を直接与え、バッファ回路を無くし、信号振幅を5ボルト程度小さくすることで消費電力を減らすことが可能になり、液晶表示装置の省電力化を実現することができる。

【0113】また、シフトレジスタの信号レベル変換回路において、入力トランジスタのドレインと負荷トランジスタのドレインとの間に所定の制御信号によって回路

17

を開閉するトランジスタを有する構成とし、シフトレジスタの各段のシフトデータ入力とシフトデータ出力によって、入力トランジスタのドレインと負荷トランジスタのドレインとの間のトランジスタを制御し、回路を開閉する構成とすることでシフトしようとするシフトデータない時には信号レベル変換回路を開いて回路電流を減らし、シフトデータが前段にきたとき、信号レベル変換回路を閉じて、動作させるようにし、シフトデータがなくなると、再び信号レベル変換回路を開いて回路電流を減らすことによって、より一層の回路の省電力化を行い、液晶表示装置の低消費電力を実現することができる。

【0114】なお、本発明の実施の形態において、信号レベル変換回路には入力と反転入力の2入力のものを用いたが、反転入力を必要としない入力だけの1入力の信号レベル変換回路を用いても、本発明と同様の効果が可能であることはいうまでもない。

【図面の簡単な説明】

【図1】本発明の実施の形態1ないし4における液晶表示装置の構成図

【図2】本発明の実施の形態1における液晶表示装置のシフトレジスタのラッチ回路の構成図

【図3】本発明の実施の形態2における液晶表示装置のシフトレジスタのラッチ回路の構成図

【図4】本発明の実施の形態3における液晶表示装置のシフトレジスタのラッチ回路の構成図

【図5】本発明の実施の形態4における液晶表示装置のシフトレジスタのラッチ回路の構成図

【図6】本発明の実施の形態1ないし4における液晶表示装置のシフトレジスタのラッチ回路の信号レベル変換回路の入力トランジスタのしきい値特性と動作点を示す図

【図7】本発明の実施の形態2および4における液晶表示装置のシフトレジスタのラッチ回路の信号レベル変換回路のバイアス発生回路の構成図

【図8】従来例、本発明の実施の形態1ないし4における液晶表示装置の入力信号、出力信号波形を示す図

【図9】従来の液晶表示装置の構成図

【図10】図9のシフトレジスタのラッチ回路の構成図

【図11】従来の液晶表示装置の信号レベル変換回路の構成図

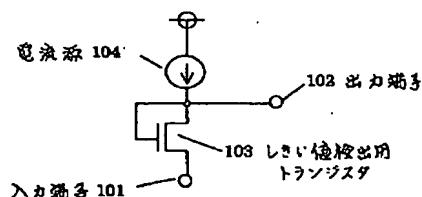
18

*【符号の説明】

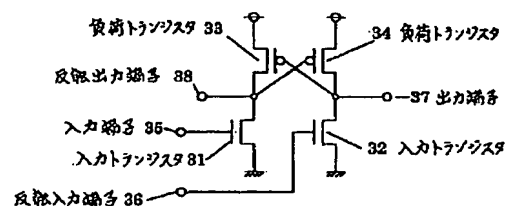
- 1 画素駆動用の薄膜トランジスタ
- 2 蓄積容量
- 3 液晶
- 4 ソース電極
- 5 ゲート電極
- 6 共通電極
- 7 ゲート駆動回路
- 8 ソース電極駆動用アナログスイッチ
- 9 映像信号入力
- 10 シフトレジスタ
- 11 バッファ回路
- 12, 58, 68, 78, 88 信号レベル変換回路
- 13, 51 クロック入力
- 14, 52 反転クロック入力
- 15 シフトデータ入力
- 21, 22 アナログスイッチ
- 23, 24, 25, 50a, 50b, 50c, 50d インバータ
- 26, 55 データ入力
- 27 クロック入力
- 28 反転クロック入力
- 29, 57 ラッチ出力
- 31, 32, 62, 63 入力トランジスタ
- 33, 34 負荷トランジスタ
- 35 入力端子
- 36 反転入力端子
- 37 出力端子
- 38 反転出力端子
- 41 レベル変換回路付きシフトレジスタ
- 54 レベル変換したクロック入力
- 56 レベル変換した反転クロック入力
- 59 ラッチ回路
- 61 バイアス電圧
- 71, 72, 81, 82 スイッチトランジスタ
- 101 入力端子
- 102 出力端子
- 103 しきい値電圧検出用トランジスタ
- 104 電流源

*40

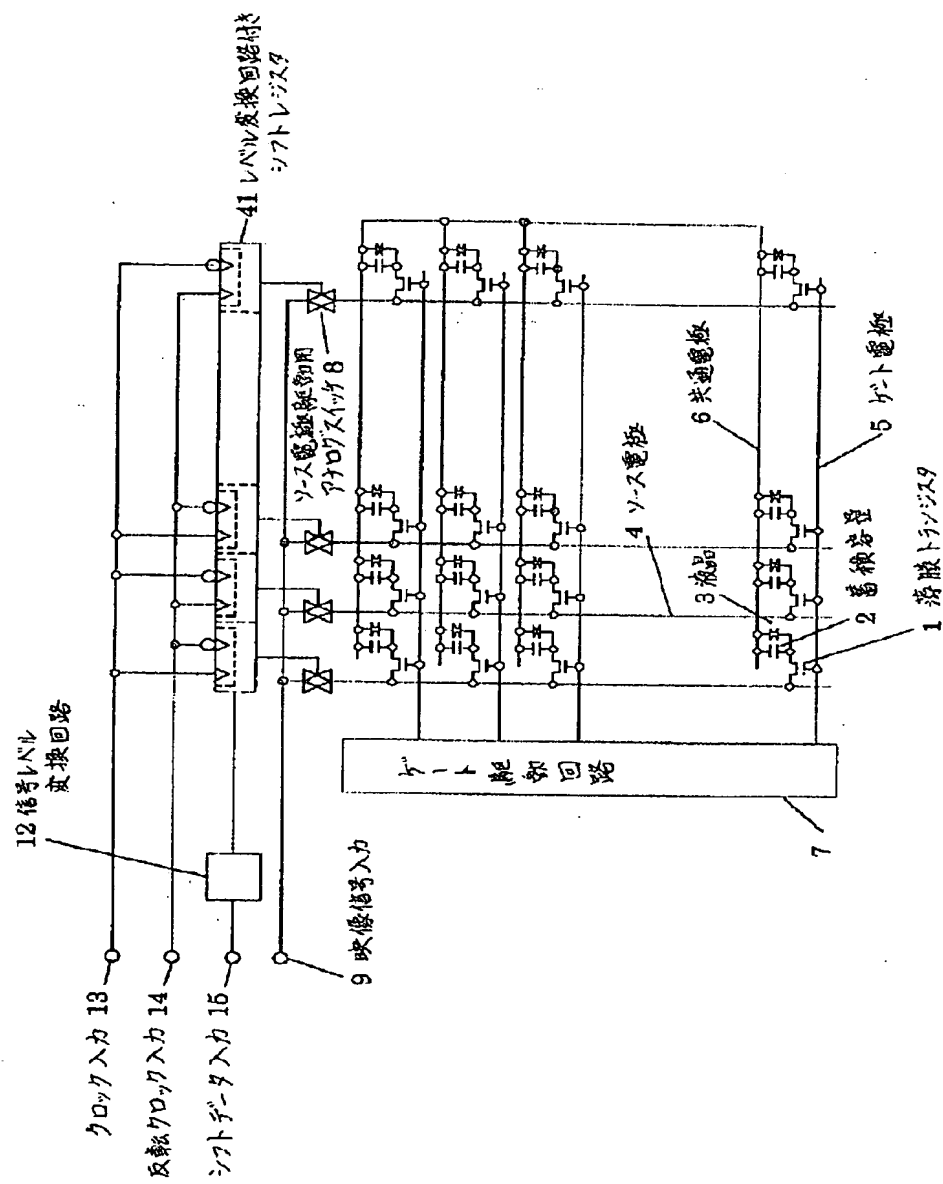
【図7】



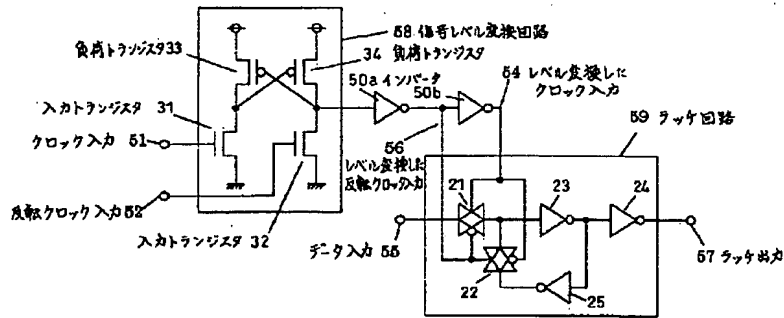
【図11】



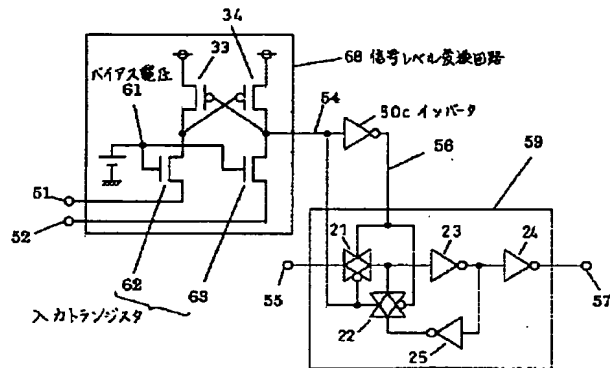
【圖 1】



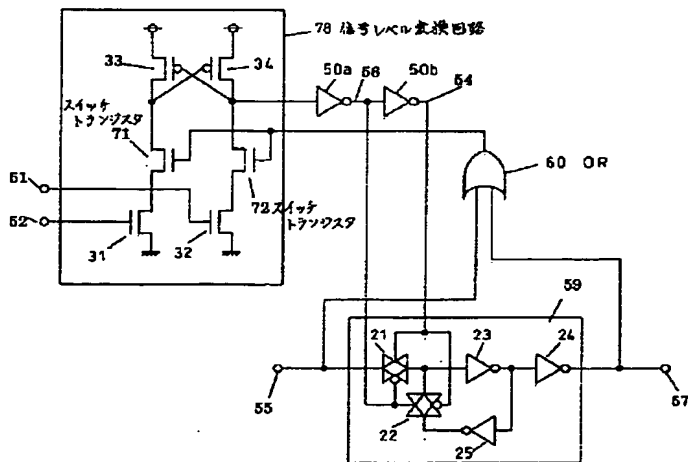
【図2】



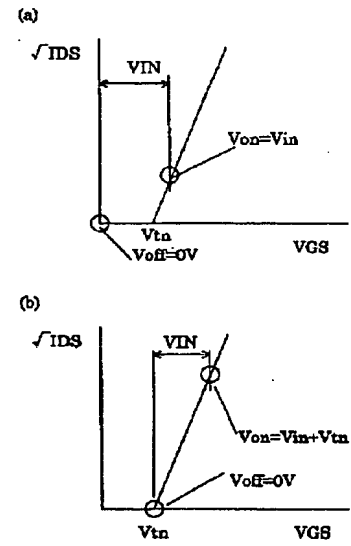
【図3】



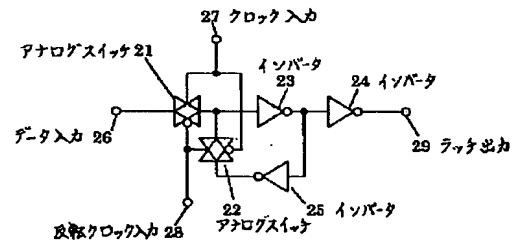
【図4】



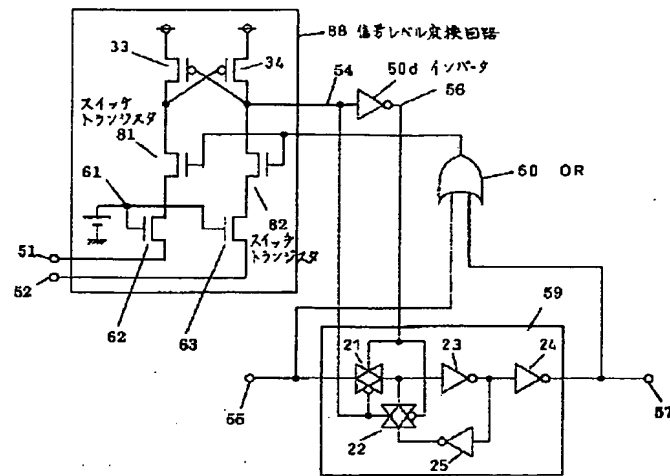
【図6】



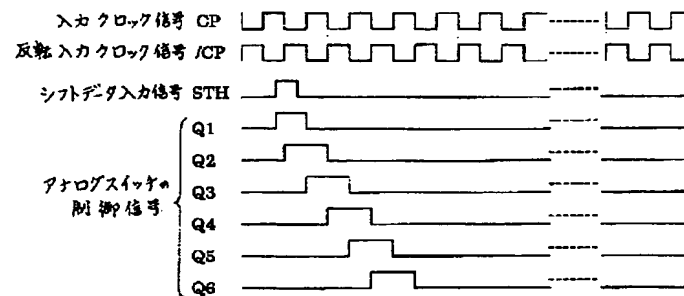
【図10】



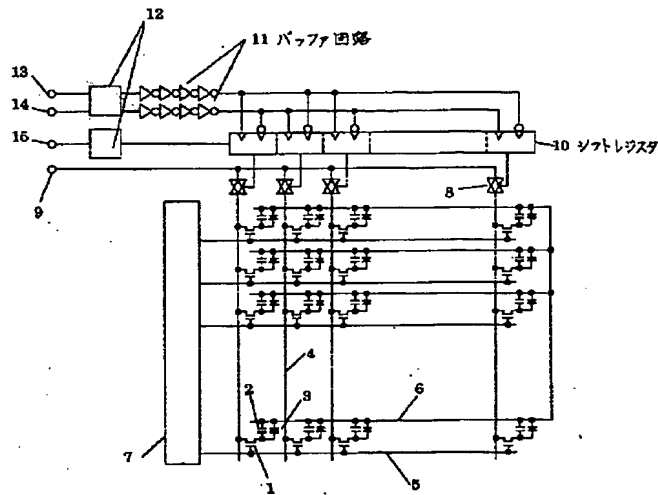
【図5】



【図8】



【図9】



フロントページの続き

(72)発明者 沼田 幸雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 森光 和也
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 2H093 NA16 NA34 NC13 NC16 NC22
NC34 ND38 ND39 NE03
5C006 AA16 AC11 AC21 AF42 BB16
BC13 BF03 BF04 BF24 FA47
5C080 AA10 BB05 DD24 DD26 EE29
FF03 GG12 JJ02 JJ03 JJ04
JJ05